

PATENT ABSTRACTS OF JAPAN

BU

(11)Publication number : 05-129517

(43)Date of publication of application : 25.05.1993

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

H01L 21/60

(21)Application number : 04-114940

(71)Applicant : GOLDSTAR ELECTRON CO
LTD

(22)Date of filing : 07.05.1992

(72)Inventor : CHUN HEUNG SUP

(30)Priority

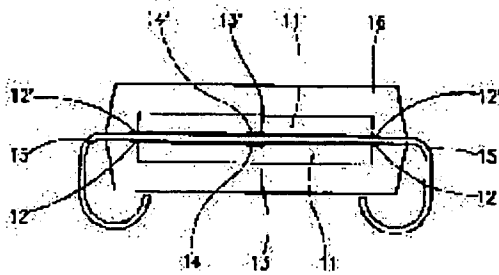
Priority number : 91 9107632 Priority date : 11.05.1991 Priority country : KR

**(54) LAMINATED SEMICONDUCTOR PACKAGE AND MANUFACTURING
METHOD THEREFOR**

(57)Abstract:

PURPOSE: To make thin a semiconductor package by jointing a semiconductor chip to the upper and lower sides of an inner lead by soldering.

CONSTITUTION: Pads 13' and 13 that are formed in two rows, so as to cross each other, are formed on upper and lower side semiconductor chips 11' and 11, and solders 14 and 14' are formed on the pads 13' and 13. Then, an inner lead 15 of a lead frame is joined to the upper and lower side semiconductor chips 11' and 11 by the solders 14' and 14, respectively, thus improving the integration of elements and making a lamination-type semiconductor package thin.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-129517

(43)公開日 平成5年(1993)5月25日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 25/065				
25/07				
25/18				
21/60	3 1 1 S	6918-4M		
		7220-4M		
			H 0 1 L 25/08	Z
			審査請求 有	請求項の数14(全 7 頁)

(21)出願番号 特願平4-114940

(22)出願日 平成4年(1992)5月7日

(31)優先権主張番号 1 9 9 1 P 7 6 3 2

(32)優先日 1991年5月11日

(33)優先権主張国 韓国 (K R)

(71)出願人 591050992

金星エレクトロン株式会社

大韓民国忠清北道清州市香亭洞50番地

(72)発明者 錢 興 燮

大韓民国ソウル特別市城東区廣壯洞554-17

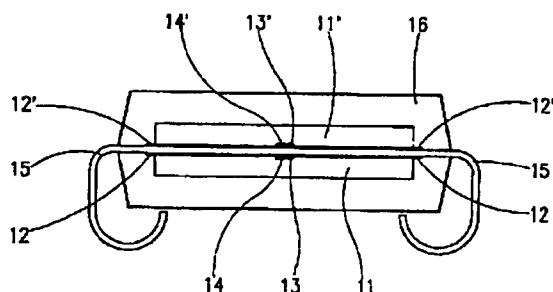
(74)代理人 弁理士 浅村 皓 (外3名)

(54)【発明の名称】 積層型半導体パッケージ及びその製造方法

(57)【要約】

【目的】 上・下方側半導体チップに各インナーリードを溶ダリングにより接合し、集積度を向上して素子の薄型化を図謀し得るようにした積層型半導体パッケージ及びその製造方法を提供しようとする。

【構成】 上・下方側半導体チップの一方側面にポリイミドを形成してその上・下方側半導体チップの各パッドに溶ダを夫々形成し、それら溶ダに各インナーリードを整理した後、フロー炉内でそれらインナーリードを半導体チップに溶ダリングして接合し、カプセル封じエポキシを施して上・下方側半導体チップを接合するように積層型半導体パッケージ製造方法が提供されている。



1

【特許請求の範囲】

【請求項1】 積層型半導体パッケージであって、上・下方側半導体チップ(11')(11)上に夫々パッド(13')(13)が形成されてそれらパッド(13')(13)上に夫々ソルダー(14')(14)が形成され、それらソルダー(14')(14)によりリードフレームのインナーリード(15)(15)が夫々前記上・下方側半導体チップ(11')(11)に接合され、素子の薄型化を図謀し得るように構成された積層型半導体パッケージ。

【請求項2】 前記各ソルダー(14')(14)は、夫々Pb-Sn合金により形成された請求項1記載の積層型半導体パッケージ。

【請求項3】 前記各ソルダー(14')(14)は、夫々ボール型に形成されてなる請求項1又は2記載の積層型半導体パッケージ。

【請求項4】 前記上・下方側半導体チップ(11')(11)の各パッド(13')(13)は、その各チップ(11')(11)が積層された状態で1列直線状にそれらチップ(11')(11)上に夫々形成され、それらパッド(13')(13)上に前記各ソルダー(14')(14)が夫々形成されてなる請求項1記載の積層型半導体パッケージ。

【請求項5】 前記上・下方側半導体チップ(11')(11)の各パッド(13')(13)は、互いに行き交うように1列に形成されてなる請求項4記載の積層型半導体パッケージ。

【請求項6】 前記上・下方側半導体チップ(11')(11)の各パッド(13')(13)は、それらチップ(11')(11)が積層された状態で2列になるようにそれらチップ(11')(11)上に形成され、それらパッド(13')(13)上に各ソルダー(14')(14)が夫々形成されてなる請求項1記載の積層型半導体パッケージ。

【請求項7】 前記各パッド(13)(13')は、互いに行き交うように2列に形成されてなる請求項6記載の積層型半導体パッケージ。

【請求項8】 前記各パッド(13)(13')は、2列平行に形成され、それらパッド(13)(13')上に各ソルダー(14)(14')が夫々形成されてなる請求項6記載の積層型半導体パッケージ。

【請求項9】 前記各パッド(14)(14')に、少くとも2個以上の共有パッド(17)が包含されてなる請求項4又は6記載の積層型半導体パッケージ。

【請求項10】 上・下方側半導体チップ(11)(11')の一方側面両方にポリイミド(12)(12')を夫々形成する段階S1と、前記上・下方側半導体チップ(11)(11')の各パッド(13)(13')上に各ソルダー(14)(14')を夫々形成する段階S2と、

2

それらソルダー(14)(14')に各インナーリード(15)(15)の一方側端を整列させてそれらインナーリード(15)(15')を夫々前記上・下方側半導体チップ(11)(11')に接合する段階S3と、前記S1・S2・S3の各段階を行った上方側半導体チップ(11')を覆して下方側半導体チップ(11)上に載置し、カプセル封じエポキシを施してそれら上・下方側半導体チップ(11)(11')を接合する段階S4とを行うようになる積層型半導体パッケージ製造方法。

10

【請求項11】 前記ソルダー(14)(14')を形成する段階は、チップパッド金属化工程中にCr/Cu/Au層を載置して、Pb/Sn合金をコーティングした後、温度を上昇して前記各パッド(13)(13')上に形成させるようになる請求項10記載の積層型半導体パッケージ製造方法。

20

【請求項12】 上・下方側半導体チップ(11)(11')の一方側面両方にポリイミド(12)(12')を夫々形成する段階S1と、

前記上・下方側半導体チップ(11)(11')の各パッド(13)(13')上に各ソルダー(14)(14')を夫々形成する段階S2と、

下方側半導体チップ(11)の各ソルダー(14)に各インナーリード(15)(15)をそのチップ(11)の両方側に夫々整列させる段階S3'と、

前記各インナーリード(15)(15)の上方面に上方側半導体チップ(11')を覆して載置し、リフロー炉内でそれらインナーリード(15)(15)と上・下方側半導体チップ(11)(11')とを一度に接合してカプセル封じエポキシを施す段階S4'と、

30

を行うようになる積層型半導体パッケージ製造方法。

【請求項13】 前記上方側半導体チップ(11')には、前記インナーリードを整列させないようになる請求項12記載の積層型半導体パッケージの製造方法。

【請求項14】 前記カプセル封じエポキシは、インジェクションモールドイングにより行うようになる請求項12記載の積層型半導体パッケージ製造方法。

【発明の詳細な説明】

【0001】

40

【産業上の利用分野】本発明は、積層型半導体パッケージ及びその製造方法に係るもので、詳しくは、インナーリードの上・下方側に半導体チップをワイヤーボンディングせずにソルダーリングにより接合し、素子の集積度を向上して薄型化を図謀し得るようにした積層型半導体パッケージ及びその製造方法に関するものである。

【0002】

50

【従来の技術】最近、半導体パッケージ製造技術の急速な発展に伴い、与えられた面積内により多いチップを内蔵する研究が行われ、例えば、メモリモジュール(memory module)に互いに異なるメモリチップ

をピギーバック (piggy bag) 型に積層した積層型半導体パッケージが実用されている。そして、このような積層型半導体パッケージに適用される各チップは、SOP (Small Outline Package)、SOJ (Small Outline J-Lead Package) 及びTSOP (Thin Small Outline Package) のように、メモリモジュール又はボードレベル (board level) でRAS (Row Address Strobe) 及びCAS (Column Address Strobe) の代りに、Z方向にアドレス (address) を行うようになっている。且つ、このような従来ピギーバック型の積層型半導体パッケージ中、LOC (Lead On Chip) -SOJ (Small Outline J-Lead Package) 型半導体パッケージにおいては、図9に示したように、半導体チップ1の上方面両側に所定厚さの絶縁物質ポリイミド2が夫々塗布され、前記半導体チップ1の各パッド3とフレームの各インナーリード4とは夫々ワイヤー5により電氣的に接続され、それら半導体チップ1とインナーリード4とを包含する所定面積がエポキシ樹脂6によりモールドイングして構成されていた。従って、図10に示したように、このように構成された半導体パッケージP'のアウトリード4'に、上方側半導体パッケージP''のアウトリード4''を接続してピギーバック型の積層型半導体パッケージPを得ようになり、このような積層型半導体パッケージPは集積度が高いので、メモリモジュール又はボードレベルに実用されていた。

【0003】

【発明が解決しようとする課題】然るに、このような従来積層型半導体パッケージにおいて、夫々別途に形成された半導体パッケージP'、P''を積層して構成しているため、各半導体パッケージP'、P''毎にワイヤーボンディングが行われ、そのワイヤーループの高さとエポキシ樹脂6の厚さにより積層型半導体パッケージ9の厚さが厚くなって、半導体パッケージの薄型化を図謀し得ないという不都合な点があった。且つ、一つの積層型半導体パッケージ9に2個のリードフレームと2倍個数のワイヤー5とが所要されて原価が上昇し、各別個の半導体パッケージを製造した後積層するようになるので、極めて煩雑であるという不都合な点があった。又、ワイヤーの使用によりノイズ (noise) が発生し、ブースティング速度 (boosting speed) が遅くなるという不都合な点があった。それで、このような問題点を解決するため、本発明者達は研究を重ねた結果、次のような積層型半導体パッケージ及びその製造方法を提供しようとするものである。

【0004】

【課題を解決するための手段】本発明の目的は、フレームのインナーリード上・下方面側に上・下方側半導体チ

ップをソルダーリングにより接合し、集積度を向上して素子の薄型化を図謀し得るようにした積層型半導体パッケージ及びその製造方法を提供しようとするものである。又、本発明の他の目的は、従来のワイヤーボンディング及びモールドイング工程を排除してノイズの発生を減少し、ブースティング速度 (boosting speed) を向上し得るようにした積層型半導体パッケージ及びその製造方法を提供しようとするものである。更に、本発明の他の目的は、製造工程を簡便にして原価を低廉し得るようにした積層型半導体パッケージ及びその製造方法を提供しようとするものである。

【0005】そして、このような本発明の目的は、上・下方側半導体チップの各一方側面両方にポリイミドを夫々形成してそれら半導体チップの各パッド上方面に夫々ソルダーを形成し、それらソルダーに各インナーリードの一方側端を夫々整列させた後リフロー炉内で上・下方側半導体チップにそれらインナーリードをソルダーリングにより接合し、上方側半導体チップを覆して下方側半導体チップ上に載置した後、カプセル封じエポキシを施して上・下方側半導体を夫々接合し、積層型半導体パッケージを製造することにより達成される。

【0006】

【実施例】以下、本発明の実施例に対し図面を用いて詳細に説明する。本発明に係るLOC-COL (Lead On Chip-Chip On Lead) -SOJ型の積層型半導体パッケージにおいては、図1に示したように、下方側半導体チップ11の上方面両側に絶縁物質のポリイミド12が所定厚さに夫々塗布され、前記下方側半導体チップ11の各パッド13上に下方側ソルダー14が夫々形成され、それら下方側ソルダー14にフレームの各インナーリード15が夫々ソルダーリングされてそれらインナーリード15と下方側半導体チップ11とが電氣的に接続され、それらインナーリード15の上方面両側にポリイミド12'が夫々形成されてそれらインナーリード15のポリイミド12'上方面に、各パッド13'上に上方側ソルダー14'が夫々形成された上方側半導体チップ11'が覆して載置され、前記各上方側ソルダー14'にフレームの各インナーリード15が夫々ソルダーリングされてそれらインナーリード15と上方側半導体チップ11'とが電氣的に接続され、前記上・下方側半導体チップ11'・11と各インナーリード15とを包含して所定面積がエポキシ樹脂16によりモールドイングされて構成されている。且つ、このように構成された本発明に係る積層型半導体パッケージにおいては、上・下方側半導体チップ11'・11にフレームの各インナーリード15が夫々ソルダーリングされて電氣的に接続しているので集積度が向上され、ワイヤーボンディングを施していないので従来の積層型半導体パッケージよりも薄型化され、ノイズの減少とブースティング速度 (Boosting Speed) の向上

を図謀し得るようになっていいる。

【0007】そして、このような本発明に係る積層型半導体パッケージの製造方法においては、印刷回路基板上にチップを覆して溶剤リングするフリップチップ (flip-chip) の溶剤リング方式を適用したものであって、半導体チップ上の一方側のみインナーリードを接合するSIP (Single Inline Package) の場合と、半導体チップ上の両方側にインナーリードを夫々接合する場合とがあるが、先ず、SIPの場合の積層型半導体パッケージ製造方法について、半導体チップ11・11'の各パッド13、13'が1列直線状に形成されたときの実施例を説明すると次のようである。図3及び図6にした“O”表示は上方側半導体チップ11'上に形成した各パッド13'の位置を示し、“X”表示は下方側半導体チップ11上に形成した各パッド13の位置を示し、“x”表示は上・下方側半導体チップ11・11'の共有パッド17の位置を示したものである。図2・図3及び図6に示したように、上・下方側半導体チップ11・11'の一方側面両方にポリイミド12・12'を夫々形成する段階S1と、上・下方側半導体チップ11・11'の各パッド13・13'上に夫々溶剤14・14'を形成する段階S2と、それら溶剤14・14'に各インナーリード15・15'を(各チップ11・11'の一方側のみに) 整列させてそれらインナーリード15・15を上・下方側半導体チップ11・11'に溶剤リングして接合する段階S3とを行い、前記各段階S1・S2・S3を行った後、上方側半導体チップ11'を覆して下方側半導体チップ11上に載置し、カプセル封じ(encapsulating) エポキシを施して上・下方側半導体チップ11・11を接合する段階4を行うようになっている。且つ、前記各上・下方側溶剤14、14を形成する段階においては、チップパッド金属化(chip pad metallization) 工程中にCr/Cu/Au層(layer)を載置し、Pb-Sn合金(alloy)を蒸着(evaporation)又はスパッタリング(sputtering)によりコーティングした後、温度を溶剤融温度(solder melting temperature)以上に暫時上昇すると、表面張力現象により各パッド13・13'にボール型(ball-type)の溶剤14・14'が夫々形成される。次いで、このように形成された上・下方側半導体チップ11・11'の各溶剤14・14'に各インナーリード15・15の一方側端を夫々各チップ11、11'の一方側にのみ揃えて整列し、リフロー炉(reflow furnace)内に挿入して各溶剤14、14'の溶剤リングにより各インナーリード15・15を上・下方側半導体チップ11・11'に夫々接合した後、上方側半導体チップ11'を覆して下方側半導体チップ11に載

置し、カプセル封じエポキシ(encapsulating epoxy)を施して上・下方側半導体チップ11・11を接合した後、通常のトリミング及びフォーミング(trimming/forming)の工程を施して積層型半導体パッケージを製造するようになっていいる。

【0008】そして、前記半導体チップ両方側にインナーリードを接合する場合の積層型半導体パッケージの製造方法においては、図4及び図5(A)(B)に示したように、上・下方側半導体チップ11・11'の一方側面両方にポリイミド12・12'を夫々形成する段階S1と、前記上・下方側半導体チップ11・11'の各パッド13・13'上に溶剤14・14'を夫々形成する段階S2と、上・下方側又は下方側半導体チップ11の各溶剤14にインナーリード15・15を両方側に夫々整列する段階S3'と、前記各インナーリード15、15の上方面に上方側半導体チップ11'を覆して載置しリフロー炉(Reflow Furnace)内でそれらインナーリード15・15'と上・下方側半導体チップ11・11'とを一度に接合してインジェクションモールディング(injection molding type)によりカプセル封じエポキシを施す段階S4'とを行い、その後、トリミング及びフォーミングの工程を施して本発明に係る積層型半導体パッケージを製造するになっている。ここで、前記各インナーリード15・15は、下方側半導体パッケージチップ11'の両方側にのみ整列することもできるし、上方側半導体パッケージチップ11'両方側にも整列してその上方側半導体パッケージチップ11'を覆し、合致して接合することもできるが、下方側半導体パッケージチップ11のみに整列することが好ましい。且つ、前記共有パッド17

【外1】

“ (*) ”

は、上・下方側半導体パッケージに共通に形成して使用すると便利である。

【0009】又、本発明の他の実施例として、図7に示したように、上・下方側半導体チップ11・11'の各パッド13・13'を互いに行き交うように2列に形成して、リードピッチを大きくし、各溶剤14・14'のオーバーフローによる影響を未然に防止することもできる。

【0010】更に、本発明の又他の実施例として、図8に示したように、上・下方側半導体パッケージチップ11・11'の各パッド13・13'を夫々2列平行に形成し、それらパッド13・13'形成作業を簡便に行い得るようにすることもできる。以上、LOC-COL-SOJ型の積層型半導体パッケージ及びその製造方法について説明したが、本発明はこのようなLOC-COL

7

—SOJ型の積層型半導体パッケージに限定することなく、SOP (Small Outline Package)、MSP (Mini Square Package) 及びQFP (Quad Flat Package) のように、上・下方側に各半導体チップを積層することができるし、ソルダーリングをすることができる何れの半導体パッケージにおいても適用することができる。

【0011】

【発明の効果】以上説明したように、本発明に係る積層型半導体パッケージ及びその製造方法においては、フレームのインナーリードを上・下方側半導体チップにソルダーリングにより接合して構成されているため、従来のワイヤーボンディングが排除されて積層型半導体パッケージの薄型化が図謀される効果がある。且つ、従来よりも所要部品数が減少され製造工程が簡便になって原価が低廉される効果がある。

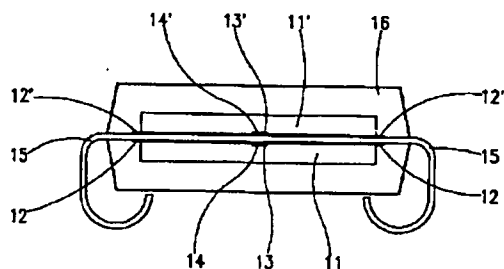
【図面の簡単な説明】

【図1】本発明に係る積層型半導体パッケージの構造を示した断面図である。

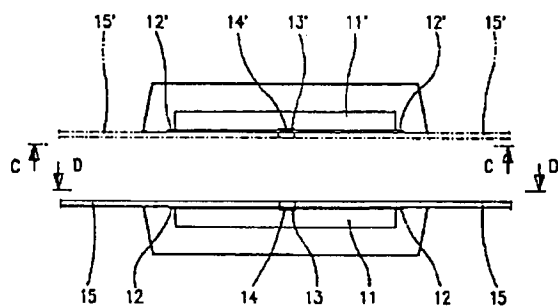
【図2】本発明に係る積層型半導体パッケージ製造方法の一実施例を示した工程説明図である。

【図3】図2の断面図で、(A)はA-A線断面図、(B)はB-B線断面図である。

【図1】



【図4】



8

【図4】本発明積層型半導体パッケージ製造方法の他の実施例を示した工程説明図である。

【図5】図4の断面図で、(A)はC-C線断面図、(B)はD-D線断面図である。

【図6】本発明に係るパッド位置の一実施例を示した平面図である。

【図7】本発明に係るパッド位置の他の実施例を示した図面で、(A)は平面図、(B)は断面図である。

【図8】本発明に係るパッド位置の又他の実施例を示した平面図である。

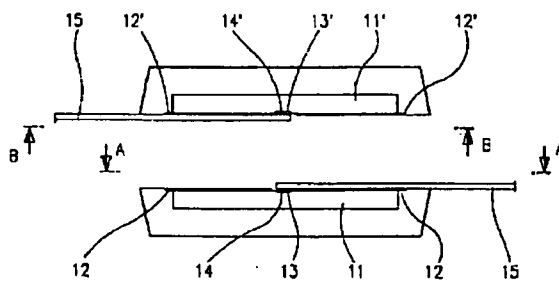
【図9】従来半導体パッケージの構造を示した断面図である。

【図10】従来積層型半導体パッケージの構造を示した断面図である。

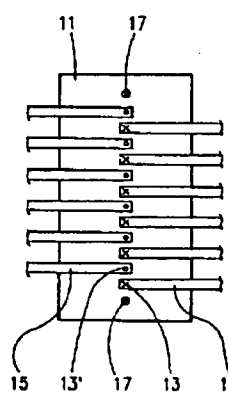
【符号の説明】

- 11 下方側半導体チップ
- 11' 上方側半導体チップ
- 12, 12' ポリイミド
- 13, 13' パッド
- 14, 14' ソルダー
- 15, 15' インナーリード
- 16 エポキシ樹脂
- 17 共有パッド

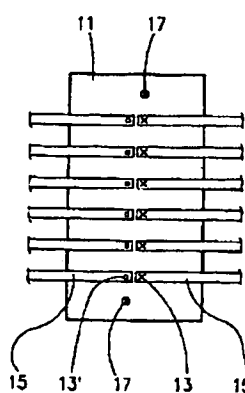
【図2】



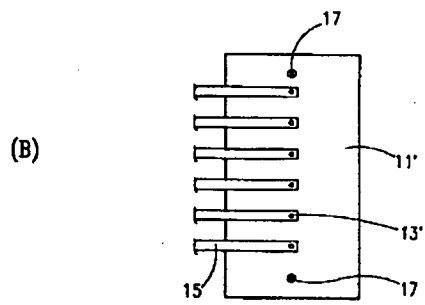
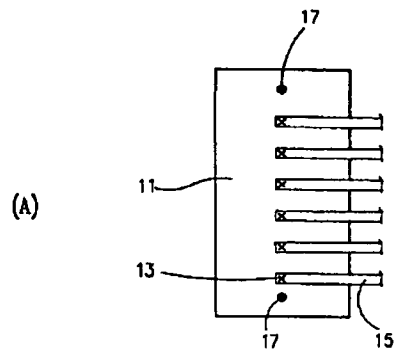
【図6】



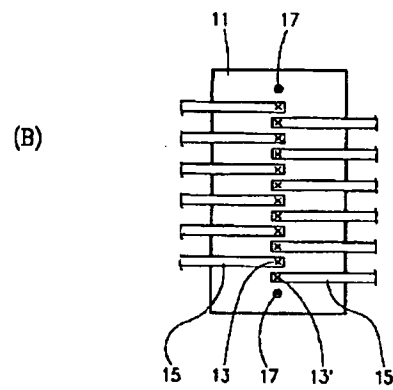
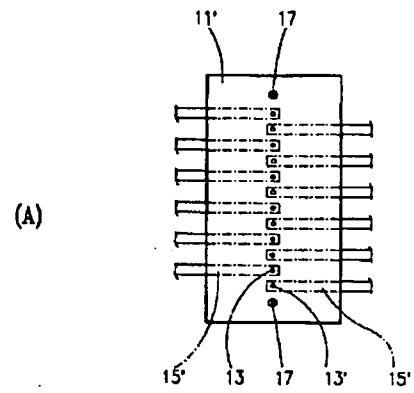
【図8】



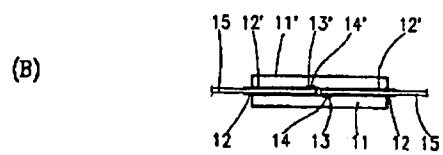
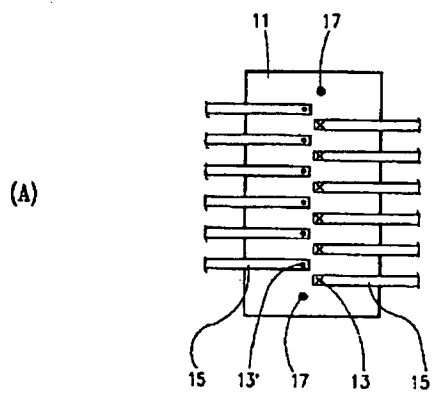
【図3】



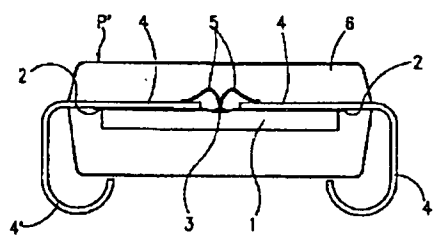
【図5】



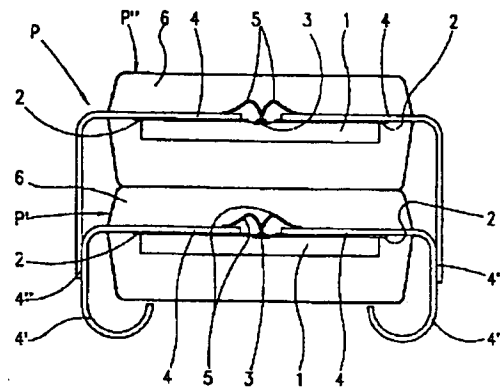
【図7】



【図9】



【図10】



PATENT ABSTRACTS OF JAPAN

BV

(11)Publication number : 04-254363

(43)Date of publication of application : 09.09.1992

(51)Int.Cl.

H01L 23/50

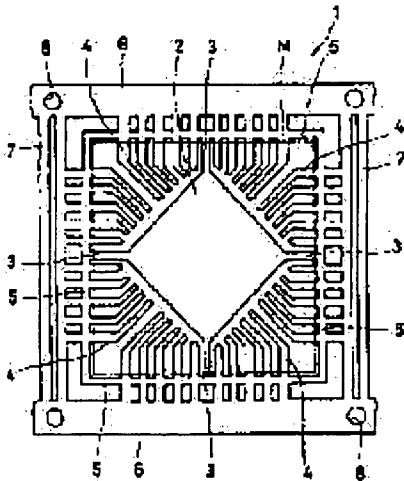
(21)Application number : 03-015362

(71)Applicant : HITACHI LTD

(22)Date of filing : 06.02.1991

(72)Inventor : TANAKA MASAKI
MORIUCHI HISAHIRO**(54) LEAD FRAME AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE
UTILIZING THE SAME**

(57)Abstract:

PURPOSE: To provide a surface mounting type LSI
package having high resistance to reflow crack.CONSTITUTION: A lead frame 1 provides a tab-
hanging lead 3 at the corner of a tab 2 mounting a
semiconductor chip 11 and an angle formed by each side
of tap 2 and the tie bar 5 opposed thereto is set to 45
degrees.

BEST AVAILABLE COPY